

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **64002371 A**

(43) Date of publication of application: **06.01.89**

(51) Int. Cl

H01L 29/80
H01L 21/203

(21) Application number: **62158700**

(71) Applicant: **SHARP CORP**

(22) Date of filing: **24.06.87**

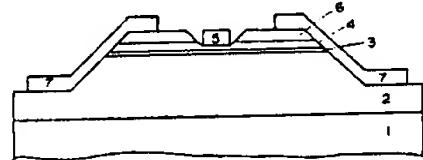
(72) Inventor: **SHIODA MASAHIRO**
TOMITA KOJI
YAMASHITA TATSUYA

(54) FIELD-EFFECT TRANSISTOR

(57) Abstract:

PURPOSE: To increase electron mobility by using an N-type GaAs layer, an N-type GaAs layer and an N-type GaAs layer formed onto an undoped buffer layer as a channel layer.

CONSTITUTION: An undoped GaAs buffer layer 2 is shaped onto a semi-insulating GaAs substrate 1. An N-type $In_xGa_{1-x}As$ layer 3 having forbidden band width smaller than GaAs is formed onto the layer 2, thus inhibiting the exudation of carriers to the layer 2. A stress-free N-type GaAs layer 4 is shaped onto the layer 3, and these layers 3 and 4 are employed as a channel layer. A gate electrode 5 is attached onto the surface of the layer 4. Accordingly, electron mobility and drift velocity are increased and the effect of confinement of carriers can be improved, and a Schottky barrier FET having excellent gate characteristics can be acquired.



COPYRIGHT: (C)1989,JPO&Japio

BEST AVAILABLE COPY

② 日本国特許庁 (JP) ① 特許出願公開
 ② 公開特許公報 (A) 昭64-2371

③ Int.Cl. 1
 H 01 L 29/80
 21/203

識別記号 厅内整理番号
 B-8122-5F
 7630-5F

④ 公開 昭和64年(1989)1月6日

審査請求 未請求 発明の数 1 (全5頁)

⑤ 発明の名称 電界効果トランジスタ

② 特 願 昭62-158700
 ③ 出 願 昭62(1987)6月24日

④ 発明者 植田 昌弘 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
 内

④ 発明者 宮田 孝司 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
 内

④ 発明者 山下 達哉 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
 内

④ 出願人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

④ 代理人 弁理士 杉山 敏至 外1名

明 講 費

に関するものである。

1. 発明の名称

電界効果トランジスタ

2. 特許請求の範囲

1. 半導体性 GaAs 基板と、該半導体性 GaAs 基

板上に形成されたアンドープ GaAs 层と、

該アンドープ GaAs 层上に形成された 5 ~ 1000 オンゲストロームの層厚を有する n 型 InGaAs 层と、

該 n 型 InGaAs 层上に形成された p 型 GaAs 层と、

該層と、

上記 n 型 InGaAs 层及び p 型 GaAs 层の 2 層をチャンネル層として構成するようになしたことを特徴とする電界効果トランジスタ。

3. 発明の詳細な説明

< 製造上の利用分野 >

本発明は、マイクロ波、ミリ波帯增幅器用い
 る低損音電界効果トランジスタや、超高速論理素
 子に用いる電界効果トランジスタの構造の改良に

< 前述の技術 >

化合物半導体、特に GaAs は、Si に比べキラ
 リアの移動度が大きいことや、半導体性が得られ
 ること等の特徴により、超高速半導体素子への応
 用が期待されている。

この超高速半導体素子においては、低損音化、
 高利得化のため、相互コンダクタンス S_{11} の向上
 と、ソース抵抗 R_s 及びゲートソース R_{GS} の低減
 に向けての努力が進められている。特に、GaAs
 MESFET においては、第 7 図に示すように半
 导体性 GaAs 基板上に上のアンドープ GaAs 层 12
 上に n - GaAs 層 14 を形成した後、アレーナ
 层に加工してゲート電極 15 及びオーミック電極
 17、17 を形成したアレーナ型 GaAs MES
 FET 構造が最も一般的であるが、 R_s 低減のた
 めに、第 8 図に示す様な表面 n+ - GaAs 層 16
 の凹入及び深いリセス構造の採用が実験されてい
 る。更に、 ϵ_m の向上、 R_s 、 C_{GS} の低減のため、
 ゲート長の短縮化や、第 9 図に示すように n -

特開昭64-2371(2)

GaAs層14の下にn+—GaAs層16を設けて活性層最下部のキャリア濃度を高くするベリッドチャンネルプロファイルの採用や、第10図に示すようにキャリアの閉じ込め効果を上げるために、GaAsよりも禁制帯幅の大きなアンドーナーAlGaAsバッファー層18の採用等の技術が成されている。

また最近、 ε_m の向上のため、第11図及び第12図に示す様なn—GaAsよりも電子移動度、ドリフト速度が大きいn—InGaAsを電子走行層20として用いるFETが提案されている。なお、第11図は半絶縁性InP基板19上に形成された表面アンドーナーIn_{0.52}Al_{0.48}As層21を有するプレーナー型InGaAs MESFETの断面を示す図、第12図は半絶縁性InP基板19上に形成された表面n—GaAs層14を有するプレーナー型InGaAs MESFETの断面を示す図であり、第11図及び第12図において、20は電子走行層として設けられたn—In_{0.53}As_{0.47}As層を示している。

〈発明が解決しようとする問題点〉

アンドトキ障壁の高さが、約0.5VとGaAsのそれに比べかなり低いため、同じ電子サイズのGaAs MESFETに比べ、ゲート特性が不安定となり、電子走行層にn—In_xGa_{1-x}As ($x = 0.53$)を用いているにもかかわらず、 ε_m の向上に寄与しないという欠点及びドレイン電流—電圧特性において、ドレイン電流が抜けつという欠点があった。

また第12図に示す様なMBSFETの場合、電子走行層であるn—In_xGa_{1-x}As ($x = 0.53$)層20は、InP基板19に対して格子整合がとれているが、ゲート底下に用いているn—GaAs層14は、その下層にあるn—In_xGa_{1-x}As ($x = 0.53$)層20に対して格子整合がとれておらず、そのことが原因となりn—GaAsの層がクリティカルシックネス(k_c)以下であっても、ゲート特性の劣化、特にゲートの逆耐圧特性の劣化を招き、 ε_m の低下につながるという欠点があった。

本発明は上記諸点に鑑みて別案されたものであ

しかしながら、上記した従来のGaAs MESFET、例えば第8図及び第9図に示す様なGaAs MESFETにおいては、バッファー層12に活性層と同じGaAsを用いているために、キャリアのバッファー層12への汲み出しが大きく、その結果ドレイン電流が小さい領域では電流の遮断が悪くなり、 ε_m が低減するという欠点があった。また、第10図に示す様なAlGaAsバッファー層18を用いたGaAs MESFETにおいては、キャリアのバッファー層18への汲み出しが改善されるが、高品質AlGaAsの成長には、高い基板温度が必要となることや、AlGaAs上のGaAsの結晶品質が、GaAs上のGaAsのそれに比べて劣るため、n—GaAsの電子移動度の低下を招き、 R_s の増大や、 ε_m の低下につながるという欠点があった。

また、n—InGaAsを電子走行層として用いるFET、例えば第11図に示す様なFETの場合、ゲート直下に用いているIn_yAl_{1-y}As ($y = 0.52$)層21が非常に酸化しやすく、かつシ

リ、上記第8図乃至10図に示す様な従来のGaAs MESFETでは実現できない電子移動度の向上や、ドリフト速度の向上や、キャリアの閉じ込め効果の向上を同時に実現し、かつ、第11図、第12図に示した様なn—InGaAs層を電子走行層として用いた従来のFETでは実現できないゲート特性の向上を実現することにより、 ε_m を向上し得る追跡効果トランジスタを提供することを目的とする。

〈問題点を解決するための手段及び作用〉

上記の目的を達成するため、本発明の追跡効果トランジスタは、半絶縁性GaAs基板と、この半絶縁性GaAs基板上に形成されたアンドーナーAlGaAs層と、このアンドーナーAlGaAs層上に形成されたn—In_{0.00}Asの層厚を有するn型InGaAs層と、このn型InGaAs層上に形成されたn型GaAs層とを備え、上記のn型InGaAs層及びn型GaAs層の2層をチャネル層として構成するようになしている。

即ち、本発明は、第1図に示すように基板に半

特開昭64-2371(3)

絶縁性 GaAs 基板 1 を用い、この半絶縁性 GaAs 基板 1 上にアンドープ GaAs パッファー層 2 を形成して基板品質の品質を改善し、かつ GaAs よりも同一屈折率、同一自由電子密度、同一不純物濃度において電子移動度が大きくなり、そして、アンドープ GaAs パッファー層 2 へのキャリアの浸み出しが抑制するため、GaAs よりも屈折率の小さい $n - In_x Ga_{1-x} As$ 層 3 を上記アンドープ GaAs パッファー層 2 上に形成し、かつ、この $n - In_x Ga_{1-x} As$ 層 3 の層厚をクリティカルシックネス (h_c) 以下の $~1000 \text{ \AA}$ にすることにより、アンドープ GaAs 層 2 と $n - In_x Ga_{1-x} As$ 層 3 との間の格子不整合によって $n - In_x Ga_{1-x} As$ 層 3 に発生する格子歪位を防ぎ、 $n - In_x Ga_{1-x} As$ 層 3 の電子移動度の低下を抑制し、かつ、 $n - In_x Ga_{1-x} As$ 層 3 の上に第 1, 2 図に示す様なストレスを受けた $n - GaAs$ ではなく、ストレスフリーな $n - GaAs$ 層 4 を形成し、かつ、この $n - GaAs$ 層 4 表面上の一帯にゲート金属 5 を付着させることにより、FET のゲート特性を通常の GaAs

成長する。その後、Si セルシャッターを閉じ、同時に Si セル温度を 980°C から 940°C 下げ $n - GaAs$ 層 4 ($n = 2 \times 10^{17} \text{ cm}^{-3}$) を 2000 Å 成長し、その後、Si セル温度を 940°C から 1020°C に上げ $n - GaAs$ 層 6 ($n = 1 \times 10^{17} \text{ cm}^{-3}$) を 2000 Å 成長し、その後、Si セルシャッター、Si セルシャッターを同時に閉じ、基板温度を 400°C まで下げ、Si セルシャッターを閉じ、基板温度を室温にもどす。その後成長基板を MBE 成長室から取り出す。

その後第 2 図に示す様に、GaAs 成長層 6 上に $n - GaAs$ フィトリジストを用いてメサバターン 8 を形成する。その後、このメサバターン 8 をマスク材として第 3 図に示す様な成長層のエッティングを行ない、互いに分離させ。その後、上記フィトリジスト 8 を有機溶剤を用いて除去する。その後、通常のワットリソグラフィー、電極溝、アロイ処理を行ない第 4 図に示す様なオーミック電極 7 を形成する。その後、フィトリジストを用いて第 5 図に示す様なゲートバターン 9 を形成し、このゲート

MESFET と同じにすることを特徴とするショットキーパリヤゲート FET を得るようにして、上記第 8 図乃至第 1, 2 図に示した従来の FET の問題点を解決するようになしている。

＜実施例＞

以下、図面を参照して、本発明の一実施例として $n - In_x Ga_{1-x} As$ 層 ($x = 0.15$)、 $n - GaAs$ 層の 2 層のチャンネルを有する MESFET について、その製造工程に従って詳細に説明する。まず GaAs 基板 1 を硫酸系エチケット (硫酸 : 過酸化水素 : 水 = 3 : 1 : 1) 中に 30 秒間浸漬し、前処理を行なう。その後、GaAs 基板 1 を MBE 成長室に挿入し、As 層下で 600°C 1 時間のペーティングを行ない、GaAs 基板 1 に付着している酸化膜を除去する。その後、基板温度を 580°C に下げ、Ga セルシャッターを開け、アンドープ GaAs パッファー層 2 を 1 nm 成長する。その後 $n - GaAs$ 層 4 (980°C) セルシャッターを開け、 $n - In_x Ga_{1-x} As$ 層 3 ($n = 5 \times 10^{17} \text{ cm}^{-3}, x = 0.15$) を 100 Å

バターン 9 をマスク材として $n - GaAs$ 層 6 及び $n - GaAs$ 層 4 の一端をリン酸系エチケット (リン酸 : 過酸化水素 : 水) = (3 : 1 : 50) を用いてエッティングし、第 6 図に示す様なセミ円形形状を得る。その後、ゲート電極 5 を EB 互差線を用いて形成し、その後上記フィトリジスト 8 を有機溶剤を用いて除去し、第 1 図に示す様な構造の世界効果トランジスタを得る。

以上の様な方法で、第 6 図、第 9 図、第 10 図に示す様な GaAs MESFET では実現できない、電子移動度、ドリフト速度の向上やキャリアの閉じ込め効果の向上を同時に実現でき、かつ、第 11 図、第 12 図に示す様な従来の $n - InGaAs$ 層を電子走行層とする FET よりもゲート特性の優れた MESFET を得ることができ、従来の $n - GaAs$ または、 $n - InGaAs$ を用いた MESFET よりも $50 \text{ m}^2/\text{V}\cdot\text{A}$ 程度 $5 \text{ m}^2/\text{V}\cdot\text{A}$ を向上し、また、従来の $n - InGaAs$ 層を電子走行層とする FET よりもゲートのリーク電流を 2 倍小さくすることが可能となつた。

特開昭64-2371(4)

尚、本発明は、 n -InGaAs と n -GaAs の 2 層のチャネルを有する MESFET ばかりでなく、他の半導体、例えば、 n -InP と n -GaAs、 n -InAs と n -GaAs 等を利用した MESFET に対しても適用し得ることは明らかである。

<発明の効果>

以上のように本発明によれば、半導体性 GaAs 基板上のアンドープ GaAs 上に形成した n -InGaAs 層、 n -GaAs 層の 2 層をチャネル層として有するようになしているため、ゲート特性を劣化させることなく、 I_{on} を大幅に向上させることが出来る。

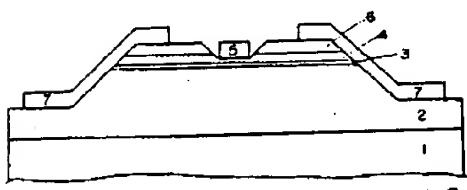
4. 図面の簡単な説明

第 1 図は、本発明の一実施例による n -InGaAs、 n -GaAs の 2 層のチャネルを有するリセス型 FET の断面を示す図、第 2 図乃至第 6 図は、それぞれ本発明の一実施例の電界効果トランジスタの製造工程を説明するため各工程における試料断面を示す図、第 7 図は、最も一般的なアレーナー

型 GaAs MESFET の断面を示す図、第 8 図は表面 n^+ -GaAs 層を有するリセス型 GaAs MESFET の断面を示す図、第 9 図は、表面 n^+ -GaAs 層を有し、かつ、ペリッドチャネルプロファイルを有するリセス型 GaAs MESFET の断面を示す図、第 10 図は、表面 n^+ -GaAs 層を有し、かつアンドープ GaAs バッファー層を有するリセス型 GaAs MESFET の断面を示す図、第 11 図は、半導体性 InP 基板上に形成された表面アンドープ InAlAs 層を有するアレーナー型 InGaAs MIS-like FET の断面を示す図、第 12 図は、半導体性 InP 基板上に形成された表面 n -GaAs 層を有するアレーナー型 InGaAs MESFET の断面を示す図である。

1…半導体性 GaAs 基板、2…アンドープ GaAs 層、3… n -InGaAs 層、4… n -GaAs 層、5…ゲート電極、6… n^+ -GaAs 層、7…オーバーマスク電極。

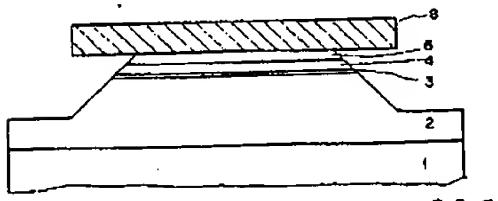
代理人 方謹士 杉山毅至(他 1 名)



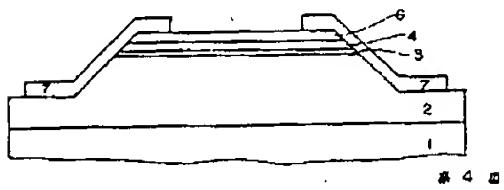
第 1 図



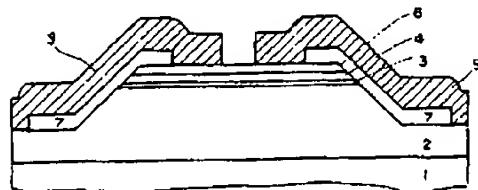
第 2 図



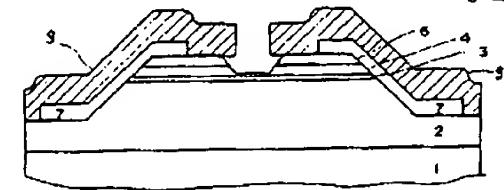
第 3 図



第 4 図



第 5 図



第 6 図

特開昭64-2371(5)

